



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07094595 A**(43) Date of publication of application: **07.04.95**

(51) Int. Cl. **H01L 21/8238**
H01L 27/092

(21) Application number: **05256386**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **20.09.93**(72) Inventor: **HASHIMOTO KOICHI**(54) **SEMICONDUCTOR DEVICE AND FABRICATION THEREOF**

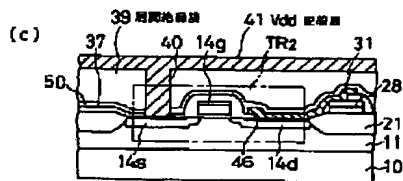
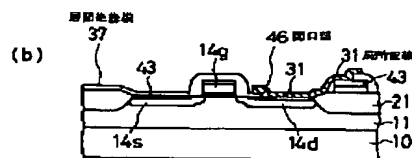
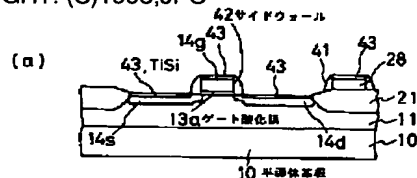
(57) Abstract:

PURPOSE: To obtain a semiconductor device having a local wiring which can deal with fine patterning of element while suppressing the parasitic resistance of source and drain and the junction leakage by forming a connection conductor pattern in an opening made through an insulation film and the periphery thereof such that the conductor pattern touches a conductive part only within the opening.

CONSTITUTION: The semiconductor device comprises a plurality of semiconductor elements TR formed on semiconductor substrates 10, 11, an insulation film 37 covering a conductive part constituting the semiconductor element TR, and an opening 46 made through the insulation film 37 in a region covering a different conductive part. A connection conductor pattern 31 is formed at least in the opening 46 and on the peripheral insulation film 37 such that the pattern 31 touches a plurality of conductive parts only within the opening 46. For example, at least a part of the semiconductor element TR is a MOS transistor and the gate electrode 14g thereof is connected with the

diffusion layer 14d of the semiconductor substrates 10, 11 through the connection conductor pattern 31.

COPYRIGHT: (C)1995,JPO



THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

(43)公開日 平成7年(1995)4月7日

F

審査請求 未請求 請求項の数 16 FD (全 13 頁)

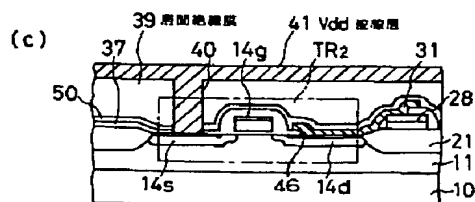
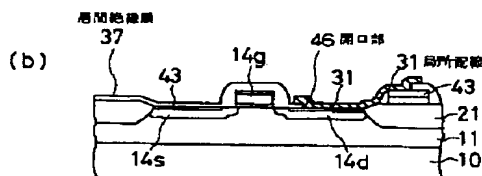
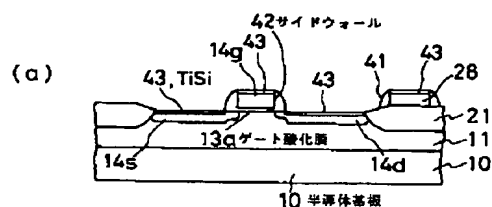
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】CMOSを有する半導体装置に関し、素子の微細化に対応できる局所配線を形成すること。

【構成】半導体素子の導電型半導体層とフィールド酸化膜の上の配線を接続する場合や、導電型半導体層同士を接続する場合に、半導体素子や配線を覆う層間絶縁膜のうち導電型半導体層から配線に至る領域に開口部が形成され、その開口部内とその周囲に局所配線が形成されていることを含む。



【特許請求の範囲】

【請求項 1】半導体基板 (10, 11, 12) に形成された複数の半導体素子 (TR_i ~ TR_n) と、

前記半導体素子 (TR_i ~ TR_n) を構成する導電部分を覆う絶縁膜 (37) と、

前記絶縁膜 (37) のうちの異なる前記導電部分を包含する領域に形成された開口部 (45 ~ 49, 56, 57) と、

少なくとも前記開口部 (45 ~ 49, 56, 57) 内とその周囲の前記絶縁膜 (37) の上に形成されて、前記開口部 (45 ~ 49, 56, 57) 内のみで複数の前記導電部分間と接触する接続用導体パターン (31 ~ 35, 58, 59) とを有することを特徴とする半導体装置。

【請求項 2】前記半導体素子 (TR_i ~ TR_n) の少なくとも一部は MOS トランジスタであって、該 MOS トランジスタのゲート電極 (13g, 14g, 15g, 16g) は前記接続用導体パターン (31 ~ 35) を介して前記半導体基板 (10, 11, 12) の拡散層 (13d, 14d, 15d, 16d, 17sd, 18sd) に接続することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記拡散層 (13d ~ 16d, 13s ~ 16s, 17sd, 18sd) の表面には、自己整合的に形成された導電層 (43) が重なって存在していることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】複数の前記半導体素子 (TR_i ~ TR_n) の少なくとも一部は MOS トランジスタ、前記導電部分の一部はそのゲート電極 (13g, 14g, 15g, 16g) であって、前記接続用導体パターン (58, 59) の一部は、該ゲート電極 (13g, 14g, 15g, 16g) 同士を接続していることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】複数の前記半導体素子 (TR_i ~ TR_n) の少なくとも一部は MOS トランジスタであって、該 MOS トランジスタのゲート電極 (13g ~ 18g) はタングステンシリサイドを含むことを特徴とする請求項 1、2、3 又は 4 記載の半導体装置。

【請求項 6】複数の前記半導体素子 (TR_i ~ TR_n) の少なくとも一部は MOS トランジスタであって、該 MOS トランジスタのゲート電極 (13g ~ 18g) の上部には自己整合的に形成された導電層 (43) が形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】前記接続用パターン (31 ~ 35, 58, 59) の一部は、前記絶縁膜 (37) の別々の前記開口部 (45 ~ 49, 56, 57) 内で別々の前記導電部を接続していることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】前記接続用導体パターン (71) は、前記半導体基板 (10, 11, 12) の複数の拡散層 (63d, 64d) を覆う絶縁膜の上に形成され、かつ、該拡散層 (63d, 64d) の上にそれぞれ形成された開口部 (66) を通して複数の該拡散層 (63d, 64d) 同士を接続していることを特徴とする請求項 1 記載の半導体装置。

【請求項 9】半導体基板 (10, 11, 12) に形成される各

種半導体素子 (TR_i ~ TR_n) ないしその構成部分として、第一の導電層 (13d ~ 16d) と第二の導電層 (28, 29) とを絶縁して形成する工程と、

前記第一の導電層 (13d ~ 16d) と前記第二の導電層 (28, 29) を覆い酸化シリコンを主成分とする絶縁膜 (37) を形成する工程と、

前記絶縁膜 (37) をパターニングして前記第一の導電層 (13d ~ 16d) と前記第二の導電層 (28, 29) を跨ぐ領域に開口部 (45 ~ 49) を形成する工程と、

前記開口部 (45 ~ 49) を含む領域にタングステン又はタングステン含有導電性材料よりなる導電膜を形成する工程と、

フッ素含有ガスで生成したプラズマを用いるエッチングとマスクを使用して前記導電膜をパターニングすることにより、少なくとも前記開口部 (45 ~ 49) 内に前記導電膜を残存させる接続用配線 (31 ~ 35) を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 10】前記導電膜のパターニング工程において、前記半導体基板 (10, 11, 12) に水平な方向へのエッチング速度は、前記半導体基板 (10, 11, 12) に垂直な方向のエッチング速度の 1/3 であることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】前記第一の導電層 (13d ~ 16d) は拡散層であって、該拡散層の表面に自己整合的に導電層 (43) が形成されていることを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 12】第二の導電層 (28, 29) はゲート電極 (13g ~ 16g) であって、該ゲート電極 (13g ~ 16g) の上部は自己整合的に形成された導電層 (43) が形成されていることを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】半導体基板 (10, 11, 12) の上に形成された複数の拡散層 (13d ~ 16d) と、前記第一の導電層 (28, 29) を覆う絶縁膜 (37) と、該拡散層 (13d ~ 16d) の上方にあって側部に絶縁性のサイドウォール (42) を有する複数の第一の導電層 (28, 29) と、少なくとも一部が該第一の導電層 (28, 29) の上に形成された複数の第二の導電層 (31 ~ 35) とを含み、前記第二の導電層 (31 ~ 35) のうち少なくとも 1 つが、前記絶縁膜 (37) に形成された 1 つの開口部 (46) 内で前記拡散層 (14d) 及び前記第一の導電層 (28) に接触し、かつ、該開口部 (46) 内に一部が存在する前記拡散層 (14d) を内包する活性領域 (23) の縁部は、該開口部 (46) 内部にある前記第一の導電層 (14d) 及び前記サイドウォール (42) を内包する領域に重なっていることを特徴とする半導体装置。

【請求項 14】半導体基板 (10, 11, 12) の上に形成された複数の拡散層 (13d ~ 16d) と、該拡散層 (13d ~ 16d) の上方にあって側部に絶縁性のサイドウォール (42) を有する複数の第一の導電層 (28, 29) と、前記

第一の導電層 (28, 29) を覆う絶縁膜 (37) と、少なくとも一部が該第一の導電層 (28, 29) の上に形成された複数の第二の導電層 (31~35) とを含み、

前記第二の導電層 (31~35) のうち少なくとも 1 つが、前記絶縁膜 (37) に形成された 1 つの開口部 (46) 内で前記拡散層 (14d) 及び前記第一の導電層 (28) に接触し、該開口部 (46) 内にある前記サイドウォール (42) の幅は該開口部 (46) の内側よりも外側の方が広いことを特徴とする半導体装置。

【請求項 15】半導体基板 (10, 11, 12) の上に形成された複数の拡散層 (13d~16d) と、該拡散層 (13d~16d) の表面に金属又は高融点金属シリサイドよりなる自己整合導電層 (43) と、該自己整合層 (43) の上方にあって側部に絶縁性のサイドウォール (42, 37) を有する複数の第一の導電層 (28, 29) と、前記第一の導電層 (28, 29) を覆う絶縁膜 (37) と、少なくとも一つが該第一の導電層 (28, 29) の上に形成された複数の第二の導電層 (31~35) とを含み、

前記第二の導電層 (31~35) のうち少なくとも 1 つが、前記絶縁膜 (37) に形成された 1 つの開口部 (46) 内で前記自己整合導電層 (43) 及び前記第一の導電層 (28) に接触し、前記開口部 (46) 内で前記サイドウォール (42, 37) が前記自己整合導電層 (43) に一部重なっていることを特徴とする半導体装置。

【請求項 16】少なくとも絶縁性のサイドウォール (42) を有する第一の導電層 (28) とその他の導電層 (14d) とを有する半導体素子 (TR_i) を半導体基板 (10, 11) 上に形成する工程と、

前記半導体素子 (TR_i) の上に絶縁膜 (37) を形成する工程と、

前記絶縁膜 (37) のうち少なくとも前記第一の導電層 (28) と他の導電層 (14d) に跨がる領域にある部分を選択的に除去して開口部 (46) を形成するとともに、該開口部 (46) 内で前記絶縁膜 (37) の一部を前記サイドウォール (42) の側部に残存させる工程と、

前記開口部 (46) を覆う導電膜を全体に形成する工程と、

前記導電膜をパターニングして、少なくとも前記開口部 (46) 内に残存させて第二の導電層 (31) を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に関し、より詳しくは、相補形 MOS (CMOS) を有する半導体装置及びその製造方法に関する。半導体集積回路装置の大規模化にともない、高速論理回路と大容量メモリが同一半導体チップの上に搭載された LSI が一般的に使用されている。半導体集積回路の高速動作のためには、MOS トランジスタを微細化して性能を向上することと、微細化による集積度の増大が最も有

効である。さらに、寄生成分低減の対策として MOS トランジスタのゲート電極の低抵抗化、ソース/ドレイン拡散層の実効的な低抵抗化が有効である。また、配線密度を上げることにより、集積度を増やし、平均配線長を短縮することも効果がある。

【0002】一方、この種のデバイスのメモリとしては、6 つの MOS トランジスタを使用する SRAM セルが用いられることが多く、この装置では、大容量化のためにセル面積を縮小することが望まれる。

【0003】

【従来の技術】MOS トランジスタの基本性能の向上は、スケールング則に従い、面方向の寸法の縮小、縦方向の拡散層の厚さの縮小化によって達成されてきている。MOS トランジスタのゲート電極の低抵抗化には、高融点金属シリサイドとポリシリコンを積層し、これをパターニングしたポリサイドゲート、或いは、ポリシリコン上に高融点金属シリサイドを自己整合的に形成するサリサイド技術が知られている。

【0004】また、ソース/ドレイン拡散層の実効的な低抵抗化には、拡散層上に高融点金属シリサイドを自己整合的に形成するサリサイド技術、或いはその拡散層上に選択的に気相成長法で金属膜を形成する技術が知られている。さらに、配線密度増大のためには、層間絶縁膜の開口部を通して配線をコンタクトするのに対して、層間絶縁膜なしで配線する技術、いわゆる局所配線技術が知られている。この技術は、SRAM セルにも用いられ、これによりセル面積の縮小化が図られている。

【0005】また、p チャネル MOS トランジスタについては、p 形ゲート電極を使用する表面チャネル形 p MOS トランジスタを使用する必要がでてきたが、上記のようなシリサイドが上部に形成されたゲート電極ではその内部の不純物が横方向に拡散しやすい。また、p MOS トランジスタと n MOS トランジスタをそれぞれ n ウェル、p ウェルに形成するために、それらのトランジスタは分離されて配置され、その間隔は大きくなり、特に SRAM セルにおいて顕著である。この場合、p MOS トランジスタの p 型ゲート電極と n MOS トランジスタの n 形ゲート電極を局所配線で接続する方法が知られている。

【0006】例えば、局所配線については米国特許公報 US P 4,821,085 に記載され、その形成方法は、US P 4,804,636、US P 4,793,896 に開示されている。また、局所配線を利用した SRAM については、US P 4,804,636、US P 4,975,756、に開示されている。さらに、分離された p' ゲートと n' ゲートを局所配線で接続したものは US P 4,804,636、US P 4,890,141 に記載されている。

【0007】その局所配線は、例えば図 12 に示すような構造となっている。図において、半導体基板 1 のうちフィールド絶縁膜 2 で囲まれた領域にはトランジスタ 3

が形成され、そのフィールド絶縁膜 2 の上には配線 4 が形成されている。そして、トランジスタ 3 のドレイン 5 と配線 4 を局所配線により接続する場合には、フィールド絶縁膜 2、ゲート電極 6、ドレイン層 5 及びソース層 7 の表面に沿って窒化チタン膜 8 を形成した後に、これをパターニングしてトランジスタ 3 のドレイン層 5 から配線 4 にかけての部分にその窒化チタン膜 8 を残し、これを局所配線 9 として使用する。

【 0 0 0 8 】なお、ゲート電極 6、ドレイン層 5、ソース層 7 の表面には、サリサイド技術により形成されたチタンシリサイド層 1 0 が形成されている。

【 0 0 0 9 】

【発明が解決しようとする課題】ところで、局所配線 9 を形成するために窒化チタン膜 8 をパターニングする際には、ゲート電極 6、ソース層 5 の上にある窒化チタン膜 8 はエッチングにより除去される。しかし、半導体装置の微細化が進むにつれて、サリサイド技術により形成されたチタンシリサイド層 1 0 が薄くなってくるので、局所配線 9 に用いる窒化チタン膜 8 とのエッチング選択比が不足するようになってきた。従って、上記した構造の局所配線 9 は微細化された半導体装置には適用できない。

【 0 0 1 0 】また、タングステンシリサイドとポリシリコンからなるポリサイド膜をゲート電極 6 の構成膜として使用する場合には、窒化チタン膜 8 とのエッチング選択性がないので、上記した局所配線 9 を使用できない。微細トランジスタの性能を向上し、かつ寄生成分を抑制して論理回路の高速化を達成するためには、タングステンポリサイドゲート又はチタンシリサイドを形成したサリサイドゲートが必要である。同時に、S R A M 等の半導体装置の集積度を向上させる必要があるが、上記したように局所配線パターンの形成精度が十分に向上していないのが現状である。

【 0 0 1 1 】本発明はこのような問題に鑑みてなされたものであって、素子の微細化に対応できる局所配線を有し、しかも、ソース、ドレインの寄生抵抗と接合リークを抑制する半導体装置及びその製造方法を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】上記した課題は、図 3 に例示するように、半導体基板 10、11、12 に形成された複数の半導体素子 $TR_1 \sim TR_n$ と、前記半導体素子 $TR_1 \sim TR_n$ を構成する導電部分を覆う絶縁膜 37 と、前記絶縁膜 37 のうちの異なる前記導電部分を包含する領域に形成された開口部 45 ~ 49、56、57 と、少なくとも前記開口部 45 ~ 49、56、57 内とその周囲の前記絶縁膜 37 の上に形成されて、前記開口部 45 ~ 49、56、57 内のみで複数の前記導電部分間と接触する接続用導体パターン 31 ~ 35、58、59 とを有することを特徴とする半導体装置によって達成する。

【 0 0 1 3 】または、前記半導体素子 $TR_1 \sim TR_n$ の少なくとも一部は MOS トランジスタであって、該 MOS トランジスタのゲート電極 13 g、14 g、15 g、16 g は前記接続用導体パターン 31 ~ 35 を介して前記半導体基板 10、11、12 の拡散層 13 d、14 d、15 d、16 d、17 s d、18 s d に接続することを特徴とする半導体装置によって達成する。

【 0 0 1 4 】または、図 4 に例示するように、前記拡散層 13 d ~ 16 d、13 s ~ 16 s、17 s d、18 s d の表面には、自己整合的に形成された導電層 43 が重なって存在していることを特徴とする半導体装置によって達成する。または、図 6 に例示するように、複数の前記半導体素子 $TR_1 \sim TR_n$ の少なくとも一部は MOS トランジスタ、前記導電部分の一部はそのゲート電極 13 g、14 g、15 g、16 g であって、前記接続用導体パターン 58、59 の一部は、該ゲート電極 13 g、14 g、15 g、16 g 同士を接続していることを特徴とする半導体装置により達成する。

【 0 0 1 5 】または、複数の前記半導体素子 $TR_1 \sim TR_n$ の少なくとも一部は MOS トランジスタであって、該 MOS トランジスタのゲート電極 13 g ~ 18 g はタングステンシリサイドを含むことを特徴とする半導体装置によって達成する。または、図 4 に例示するように、複数の前記半導体素子 $TR_1 \sim TR_n$ の少なくとも一部は MOS トランジスタであって、該 MOS トランジスタのゲート電極 13 g ~ 18 g の上部には自己整合的に形成された導電層 43 が形成されていることを特徴とする半導体装置によって達成する。

【 0 0 1 6 】または、図 1 に例示するように、前記接続用パターン 31 ~ 35、58、59 の一部は、前記絶縁膜 37 の別々の前記開口部 45 ~ 49、56、57 内で別々の前記導電部を接続していることを特徴とする半導体装置によって達成する。または、図 9 に例示するように、前記接続用導体パターン 71 は、前記半導体基板 10、11、12 の複数の拡散層 63 d、64 d を覆う絶縁膜の上に形成され、かつ、該拡散層 63 d、64 d の上にそれぞれ形成された開口部 66 を通して複数の該拡散層 63 d、64 d 同士を接続していることを特徴とする半導体装置によって達成する。

【 0 0 1 7 】または、図 1 ~ 図 4 に例示するように、半導体基板 10、11、12 に形成される各種半導体素子 $TR_1 \sim TR_n$ 、ないしその構成部分として、第一の導電層 13 d ~ 16 d と第二の導電層 28、29 とを絶縁して形成する工程と、前記第一の導電層 13 d ~ 16 d と前記第二の導電層 28、29 を覆い酸化シリコンを主成分とする絶縁膜 37 を形成する工程と、前記絶縁膜 37 をパターニングして前記第一の導電層 13 d ~ 16 d と前記第二の導電層 28、29 を跨ぐ領域に開口部 45 ~ 49 を形成する工程と、前記開口部 45 ~ 49 を含む領域にタングステン又はタングステン含有導電性材料よりなる導電膜を形成する工程と、フッ素含有ガスで生成したプラズマを用いるエッチングとマスクを使用して前記導電膜をパターニングすることにより、少なくとも

前記開口部45～49内に前記導電膜を残存させる接続用配線31～35を形成する工程とを有することを特徴とする半導体装置の製造方法によって達成する。

【0018】または、前記導電膜のパターニング工程において、前記半導体基板10, 11, 12に水平な方向へのエッチング速度は、前記半導体基板10, 11, 12に垂直な方向のエッチング速度の1/3であることを特徴とする請求項9記載の半導体装置の製造方法によって達成する。または、前記第一の導電層13d～16dは拡散層であって、該拡散層の表面に自己整合的に導電層43が形成されていることを特徴とする請求項11記載の半導体装置の製造方法によって達成する。

【0019】または、第二の導電層28, 29はゲート電極13g～16gであって、該ゲート電極13g～16gの上部は自己整合的に形成された導電層43が形成されていることを特徴とする請求項11記載の半導体装置の製造方法によって達成する。または、図7(e)に例示するように、半導体基板10, 11, 12の上に形成された複数の拡散層13d～16dと、前記第一の導電層28, 29を覆う絶縁膜37と、該拡散層13d～16dの上方にあって側部に絶縁性のサイドウォール42を有する複数の第一の導電層28, 29と、少なくとも一部が該第一の導電層28, 29の上に形成された複数の第二の導電層31～35とを含み、前記第二の導電層31～35のうち少なくとも1つが、前記絶縁膜37に形成された1つの開口部46内で前記拡散層14d及び前記第一の導電層28に接触し、かつ、該開口部46内に一部が存在する前記拡散層14dを内包する活性領域23の縁部は、該開口部46内部にある前記第一の導電層14d及び前記サイドウォール42を内包する領域に重なっていることを特徴とする半導体装置によって達成する。

【0020】または、図8に例示するように、半導体基板10, 11, 12の上に形成された複数の拡散層13d～16dと、該拡散層13d～16dの上方にあって側部に絶縁性のサイドウォール42を有する複数の第一の導電層28, 29と、前記第一の導電層28, 29を覆う絶縁膜37と、少なくとも一部が該第一の導電層28, 29の上に形成された複数の第二の導電層31～35とを含み、前記第二の導電層31～35のうち少なくとも1つが、前記絶縁膜37に形成された1つの開口部46内で前記拡散層14d及び前記第一の導電層28に接触し、該開口部46内部にある前記サイドウォール42の幅は該開口部46の内側よりも外側の方が広いことを特徴とする半導体装置により達成する。

【0021】または、図8(b)に例示するように、半導体基板10, 11, 12の上に形成された複数の拡散層13d～16dと、該拡散層13d～16dの表面に金属又は高融点金属シリサイドよりなる自己整合導電層43と、該自己整合層43の上方にあって側部に絶縁性のサイドウォール42, 37を有する複数の第一の導電層28, 29と、前記第一の導電層28, 29を覆う絶縁膜37と、少なくとも一つが該第一の導電層28, 29の上に形成された複数の第二の導電層31

～35とを含み、前記第二の導電層31～35のうち少なくとも1つが、前記絶縁膜37に形成された1つの開口部46内で前記自己整合導電層43及び前記第一の導電層28に接触し、前記開口部46内で前記サイドウォール42, 37が前記自己整合導電層43に一部重なっていることを特徴とする半導体装置によって達成する。

【0022】または、図8に例示するように、少なくとも絶縁性のサイドウォール42を有する第一の導電層28とその他の導電層14dとを有する半導体素子TR_iを半導体基板10, 11上に形成する工程と、前記半導体素子TR_iの上に絶縁膜37を形成する工程と、前記絶縁膜37のうち少なくとも前記第一の導電層28と他の導電層14dに跨る領域にある部分を選択的に除去して開口部46を形成するとともに、該開口部46内で前記絶縁膜37の一部を前記サイドウォール42の側部に残存させる工程と、前記開口部46を覆う導電膜を全体に形成する工程と、前記導電膜をパターニングして、少なくとも前記開口部46内に残存させて第二の導電層31を形成する工程とを有することを特徴とする半導体装置の製造方法によって達成する。によって達成する。

【0023】

【作 用】本発明によれば、半導体素子を構成する拡散層と配線層を接続する場合や、拡散層同士を接続する場合に接続用導体パターンを形成している。その接続用導体パターンは、半導体素子を覆う層間絶縁膜のうち接続したい拡散層から配線に至る領域に形成した1つの開口部の内部に設けられている。

【0024】このため、接続用導体パターンを形成しない側の拡散層の表面にある薄い高融点金属シリサイドが、接続用導体パターンを形成する際のエッチングによって除去されることはなくなる。即ち、接続用導体パターンの材料とその下地の材料が限定されなくなる。そして、その開口部付近に接続用導体パターンを限定することで、集積度の低下が最小限で済む。即ち、他の配線層を利用すると、他の機能の配線と接続用導体パターンが衝突して集積度が低下するのを防げる。

【0025】その接続用導体パターンは、集積度を阻害しなければ、他の導電層の接続など別の目的に工程増なく使用して効果をあげることができる。即ち、その接続用導電パターンを構成する導電膜を別のローカルな配線に使用することにより、工程を増やすことなく、配線密度を向上させ、平均配線長を減少させ、高速化が進むことになる。しかも、拡散層の上に接触面積が広い開口部内を通る接続用導電パターンを延在させると、その拡散層の寄生抵抗が下がる。

【0026】本発明の接続用導体パターンを適用する場合は、p'、n'の両タイプの半導体にオーミックコンタクトを必要とする層、TiSiよりも上の層であるため高温処理が不可能となる層、或いは配線抵抗が問題となる層のいずれかであるから、接続用導体パターンの材料と

しては金属を使用することが望ましいので、層間絶縁膜及び接続用導体パターンともに他の配線層に比べて薄いことが望ましい。

【0027】薄層化が容易で、微細加工の精度が出しやすいことから、材料としてタンゲテンが優れている。また、タンゲステンを使用する場合、フッ素を主なエッチャントとするのが有利なために、 SiO_2 を主成分とする絶縁膜を使用するのが選択比を高くするのに有利である。それでも、選択比として2程度が典型的になるので、タンゲステンのエッチング加工においては等方成分が必要になる。これは、ゲート電極の段差が存在するために、異方性のエッチングでは、その側壁に金属が残りやすく、段差高さ程度の過剰エッチングが必要になり、絶縁膜の膜厚を厚くする必要があるからである。

【0028】本発明の別な発明によれば、その開口部を形成する際に、配線の側部にサイドウォールを形成してこれを拡散層の縁部に重なるようにするか、その配線を開口部内で拡散層側に突出させているので、拡散層がLDD構造の場合であっても、そのLDD構造の低濃度層がサイドウォール又は配線によって保護されるので、接続用導体パターンがその低濃度層に接することはなく、基板側にリーク電流が流れることはない。しかも、これによりフィールド酸化膜の縁部が覆われるので、開口部形成の際にフィールド酸化膜の縁部がエッチング除去されて、そこからリーク電流が流れることもなくなる。また、配線と拡散層が接近して形成されるので、セル面積の縮小化が進む。

【0029】さらに、層間絶縁膜に開口部を形成する際に、その層間絶縁膜の一部をサイドウォールの側部に残存させているので、薄い拡散層の表面に形成された薄い高融点金属シリサイド層が形成されていないフィールド酸化膜の薄い部分がそのサイドウォールにより確実に保護されるので接合リークが減少する。それらの開口部を絶縁膜に形成する際には、その絶縁膜をサイドウォールの側部に残すようにすると、その開口部内でサイドウォールの幅が大きくなり、リークしやすい部分はサイドウォールによって確実に保護される。

【0030】

【実施例】そこで、以下に本発明の実施例を図面に基づいて説明する。

(a) 本発明の第1実施例の説明

図1～図3は、本発明の第1実施例のSRAMセルの形成工程を示す平面図、図4は、その部分断面図、図5は、SRAMセルの等価回路図である。なお、図1～図3では層間絶縁膜は全て省略されている。

【0031】まず、図3に基づいて本発明の第1実施例に係るSRAMセルを説明する。図3において、シリコン等の半導体基板10の上には、nウェル11とpウェル12が形成され、nウェル11には2つのp型負荷トランジスタ TR_1 、 TR_2 が形成されている。また、pウェ

ル12には、2つのn型駆動トランジスタ TR_3 、 TR_4 と2つのn型転送トランジスタ TR_5 、 TR_6 が形成されている。これらはMOSトランジスタから構成される。

【0032】また、負荷トランジスタ TR_1 、 TR_2 、駆動トランジスタ TR_3 、 TR_4 及び転送トランジスタ TR_5 、 TR_6 はフィールド絶縁膜21に囲まれた活性領域22～27に形成されている。また、フィールド絶縁膜21の上には2本のゲート用配線28、29が配置され、それらは負荷トランジスタ TR_1 、 TR_2 と駆動トランジスタ TR_3 、 TR_4 の活性領域22～25を通り、その通過領域においてはトランジスタ TR_1 ～ TR_4 のゲート電極として機能する。そのゲート用配線28、29はポリサイド膜により構成されている。

【0033】2つの負荷トランジスタ TR_1 、 TR_2 は、それぞれnウェル11とpウェル12の境界線Lに平行な向きにp型ソース層13s、14sとドレイン層13d、14dを有し、その間には、図示しない絶縁膜を介してnウェル11の上にゲート電極13g、14gが形成されている。また、第一の負荷トランジスタ TR_1 のゲート電極13gは、局所配線31を介して第二の負荷トランジスタ TR_2 のドレイン層14dに接続される一方、第二の負荷トランジスタ TR_2 のゲート電極14gは、局所配線32を介して第一の負荷トランジスタ TR_1 のドレイン層13dに接続されている。さらに、2つの負荷トランジスタ TR_1 、 TR_2 の各ソース層13s、14sには、Vdd電圧印加用のVdd配線（不図示）が接続されている。

【0034】2つの駆動トランジスタ TR_3 、 TR_4 のソース層15s、16sとドレイン層15d、16dは、nウェル11とpウェル12の境界線Lに対して斜め方向に配置され、それらのソース層15s、16sとドレイン層15d、16dの間には、pウェル12の上に図示しない絶縁膜を介してゲート電極15g、16gが形成されている。それらのゲート電極15g、16gは、局所配線33、34を介して互いに他の駆動トランジスタ TR_3 、 TR_4 のドレイン層15d、16dに接続されている。

【0035】2つの転送トランジスタ TR_5 、 TR_6 は、ワード線WLのうち活性領域26、27を通る部分をゲート電極17g、18gとしたトランジスタで、そのゲート電極17g、18gはnウェル11とpウェル12の境界線Lにほぼ平行な向きに延在し、それらの両側の活性領域26、27にはソース／ドレイン層17sd、18sdが形成されている。

【0036】第一の転送トランジスタ TR_5 の一方のソース／ドレイン層17sdは第二の駆動トランジスタ TR_4 のドレイン層16dに直接繋がり、さらに、そのソース／ドレイン層17sdは、第一の駆動トランジスタ TR_3 のゲート電極15gとなる第一のゲート用配線28に局所配線34を介して接続されている。また、第二の転送

トランジスタ TR_1 の一方のソース／ドレイン層 $18sd$ は、第二の駆動トランジスタ TR_2 のゲート電極 $16g$ となる第二のゲート用配線 29 に局所配線 35 を介して接続されている。

【0037】また、2つの転送トランジスタ TR_3 、 TR_4 の残りのソース／ドレイン層 $17sd$ 、 $18sd$ には、それぞれ異なるビット線 BL_1 、 BL_2 が接続されている。なお、各ゲート電極 $13g \sim 18g$ は、 n ウェル 11 又は p ウェル 12 の上に図示しないゲート絶縁膜を介して形成される。これら負荷トランジスタ TR_1 、 TR_2 、駆動トランジスタ TR_3 、 TR_4 及び転送トランジスタ TR_5 、 TR_6 により構成されるSRAMセルの等価回路は、図5に示すようになる。

【0038】ところで、ソース層、ドレイン層とゲート電極とを導通する局所配線層 $31 \sim 35$ は、図4(c)に示すような構造となっている。図4(c)は、図3におけるSRAMのA-A線断面図を示している。この図において、負荷トランジスタ TR_1 及びその周囲のゲート用配線 28 は、全体が SiO_2 よりなる第一の層間絶縁膜 37 で覆われている。また、ドレイン層 $14d$ からフィールド絶縁膜 21 上のゲート用配線 28 に至る部分の第一の層間絶縁膜 37 には、開口部 46 が形成されている。そして、その開口部 46 から露出したドレイン層 $14d$ とゲート用配線 28 は、タングステンよりなる局所配線 31 によって接続されている。

【0039】また、その局所配線 31 と第一の層間絶縁膜 37 等を覆う第二層間絶縁膜 39 は例えばPSGから形成され、この第二の層間絶縁膜 39 のうちソース層 $14s$ の上には開口部 40 が形成され、この開口部 40 を通してVdd配線層 41 が形成されている。次に、以上のような局所配線 $31 \sim 35$ を形成する工程を図1～図4に基づいて簡単に説明する。

【0040】まず、シリコンよりなる半導体基板 10 に、図1に示すような n ウェル 11 及び p ウェル 12 を形成し、ついで、各トランジスタが形成される活性領域 $22 \sim 27$ を囲むフィールド絶縁膜 21 を 3500 \AA の厚さに形成する。次に、活性領域 $22 \sim 27$ から露出した n ウェル 11 、 p ウェル 12 の表面を熱酸化して図4(a)に示すような厚さ 80 \AA のゲート酸化膜 $13a$ を形成する。ついで、 n ウェル 11 の活性領域 22 、 23 には n 型の閾値制御用不純物、 p ウェル 12 の活性領域 $24 \sim 27$ には p 型の閾値制御用不純物を導入する。

【0041】この後に、CVD法により多結晶シリコン膜を 1500 \AA の厚さに形成し、ついでその積層膜に燐イオンを導入し、これをフォトリソグラフィ法によりパターンニングして、図2に示すようなゲート用配線 28 、 29 とワード線WLを形成する。これらのゲート用配線 28 、 29 は第1～第4の活性領域 $22 \sim 25$ を通り、その通過部分では各ゲート電極 $13g \sim 16g$ として機能し、また、ワード線WLは残りの活性領域 26 、

27 を通り、その部分ではゲート電極 $17g$ 、 $18g$ として機能する。そして、それらのゲート用配線 28 、 29 とワード線WLは、活性領域 $22 \sim 27$ 以外の領域では、フィールド絶縁膜 21 の上に位置する。

【0042】この後に、図2に示すように、 n ウェル 11 の活性領域 22 、 23 にはホウ素等の p 型不純物を導入し、また p ウェル 12 の活性領域 $24 \sim 27$ には砒素等の n 型不純物を導入し、低濃度のソース層 $13s \sim 16s$ 、ドレイン層 $13d \sim 16d$ 、ソース／ドレイン層 $17sd$ 、 $18sd$ を形成する。次に、CVD法により厚さ 1000 \AA の SiO_2 膜を積層してから、これをRIEにより基板面垂直方向に等方性エッチングし、これにより、ゲート用配線 28 、 29 及びワード線WLの側部に図4(a)に例示するような絶縁性のサイドウォール 42 を形成する。

【0043】続いて、そのサイドウォール 42 とゲート用配線 28 、 29 、ワード線WL及びフィールド絶縁膜 21 をマスクにして、 p ウェル 12 の活性領域 $24 \sim 27$ には燐や砒素等の高濃度の n 型不純物を導入し、また n ウェル 11 の活性領域 22 、 23 には高濃度のホウ素等の p 型不純物を導入する。続いて不純物を 800°C で活性化し、例えば図4(a)に示すようにソース層 $14s$ 、ドレイン層 $14d$ をLDD構造にする。

【0044】次に、チタン膜をスパッタリングで 300 \AA の厚さに形成し、ついで、 650°C の高速アニーリング処理(RTA(rapid thermal annealing))によりチタンをゲート用配線 28 、 29 、ソース層 $13s \sim 16s$ 、ドレイン層 $13d \sim 16d$ 及びソース／ドレイン層 $17sd$ 、 $18sd$ のシリコンと合金化してチタンシリサイド層 43 を形成し、この後に、アンモニア過水で不要部分を除去して合金化しなかったチタン膜を除去する。これにより、例えば図4(a)に示すように、ゲート電極 $14g$ (ゲート用配線)、ソース層 $14s$ 及びドレイン層 $14d$ の表面にチタンシリサイド(TiSi)層 43 が自己整合的に形成される。

【0045】続いて、プラズマCVD法により SiO_2 を 500 \AA の厚さに成長し、これを第一の層間絶縁膜 37 とする。さらに、マスクとRIEを使用するフォトリソグラフィ法によりその層間絶縁膜 37 をパターンニングし、図3に示すように、ゲート用配線 28 、 29 とソース層 $13s \sim 16s$ 、ドレイン層 $13d \sim 16d$ 、ソース／ドレイン層 $17sd$ 、 $18sd$ とを接続しようとする領域に開口部 $45 \sim 49$ を形成する。

【0046】次に、スパッタ法により厚さ 500 \AA のタングステン又はタンステンシリサイド膜を形成した後、マスクとRIEを使用するフォトリソグラフィ法によりそのタングステン膜をパターンニングして、開口部 $45 \sim 49$ とその周囲に残存させ、これを図3、図4(b)に示すような局所配線 $31 \sim 35$ として使用する。この場合のRIEは、平行平板型のRIE装置を使用

し、エッチング雰囲気内に六フッ化硫黄(SF_6) ガスを 2 0 0 sccm で導入し、その雰囲気内の圧力を 0. 2 Torr とするとともに、高周波電力を 3 0 0 W とし 1 4 秒間エッチングする。この条件によれば、下地となる SiO_2 層間絶縁膜 3 7 の段差部分にタングステンが残留することはない、また、その層間絶縁膜 3 7 は 1 5 0 Å 程度の膜減りで済み、寸法シフトがほぼ零の良好な加工が可能となった。さらに、この条件によるエッチングでは、横方向のエッチング速度が、縦方向の 1 / 3 以上であった。

【 0 0 4 7 】なお、タングステンは、微細加工の精度を出しやすく、エッチャントとしてフッ素含有ガスを使用すると SiO_2 との選択比が高くなるので有利であるが、段差におけるタングステンの残存をなくするためには、等方性成分を含むエッチングが好ましい。この後に、プラズマ CVD 法により厚さ 3 5 0 0 Å の SiO_2 膜 5 0 を形成し、ついで回転塗布法により 1 0 0 0 Å の SOG を形成する。この SOG は第二の層間絶縁膜 3 9 となる。

【 0 0 4 8 】さらに、図 3 に示すように、第二の層間絶縁膜 3 9 に Vdd 電源配線、Vcc 電源配線などを接続するための開口部 4 0、5 1 ~ 5 5 を形成した後に、さらに図示しないプラズマ CVD 法による SiO_2 膜と SOG 膜を積層形成し、この積層膜に開口部を形成してビット線を形成し、高速論理素子と高集積 S R A M を含む半導体集積回路を完成させる。

【 0 0 4 9 】ところで、ソース層、ドレイン層の表面に形成される高融点金属シリサイドとしてサリサイド技術によるコバルトシリサイドを用いてもよいし、また、ソース層、ドレイン層の表面にタングステンを選択成長してもよい。さらに、ソース層とドレイン層の上に高融点金属シリサイドを形成しなくてもよいが、この場合には、ゲート用配線 2 8、2 9 とワード線 W L を形成する工程として、CVD 法により多結晶シリコン膜とタングステンシリサイド膜をそれぞれ 5 0 0 Å、1 5 0 0 Å の厚さに形成し、それから、それらの膜に不純物イオンを注入し、ついで CVD 法により SiO_2 膜を 1 0 0 0 Å の厚さに形成し、さらに、マスクと R I E を使用するフォトリソグラフィ法により SiO_2 膜から多結晶シリコン膜を連続的にパターニングしてもよい。

【 0 0 5 0 】以上のような構造によれば、局所配線 3 1 ~ 3 5 を構成する導電膜をパターニングする際に、局所配線 3 1 ~ 3 5 が接続されない側のソース層 1 3 s ~ 1 6 s 等が層間絶縁膜 3 7 により覆われているので、局所配線を形成する際のエッチングによって薄層化されたソース層、ドレイン層の厚さが減少することはない。しかも、ソース層、ドレイン層の表面にサリサイド技術による高融点金属シリサイド膜 (4 3) が形成されていても、その膜が除去されることもなくなる。

【 0 0 5 1 】この結果、トランジスタの微細化のためにソース層やドレイン層が薄くなっても特に不都合なことではなく、S R A M の小型化と高速化が同時に実現できる

ことになる。

(b) 本発明の第 2 実施例の説明

第 1 の実施例では、トランジスタ相互間を接続するゲート用配線 (ゲート電極) 2 8、2 9 を図 2 に示すように n 型にしているが、S R A M を構成する MOS トランジスタを全て表面チャネル型とする場合には、ゲート電極を構成するゲート用配線 2 8、2 9 に導入する不純物を n ウェル 1 1 と p ウェル 1 2 において打ち分ける必要がある。

【 0 0 5 2 】しかし、p 型と n 型の不純物領域が 1 つのゲート用配線 2 8、2 9 に存在すると、その境界領域では不純物が拡散して補償し合い、導電率が低下しかねない。そこで、図 6 に示すように、その境界領域で分離されたゲート用配線 2 8 A、B、2 9 A、B を形成し、n ウェル 1 1 側のゲート用配線 2 8 A、2 9 A には p 型不純物、p ウェル 1 2 側のゲート用配線 2 8 B、2 9 B には p 型不純物を導入する。分割されたゲート用配線 2 8 A、2 8 B (2 9 A、2 9 B) は、その上の層間絶縁膜 3 7 の開口部 5 6 (5 7) とその周囲に形成された局所配線 5 8 (5 9) を介して導通する。

【 0 0 5 3 】それらの局所配線 5 8、5 9 は、第 1 実施例で示した局所配線の形成の際に同時に形成されることになる。

(c) 本発明の第 3 実施例の説明

第 1 の実施例では、ゲート電極になる部分を除いたゲート用配線 2 8、2 9 をフィールド絶縁膜 2 1 の上に形成しているが、次のような不都合が生じることがある。

【 0 0 5 4 】すなわち、局所配線 3 1 を形成する際に層間絶縁 3 7 に形成する開口部 4 6 がフィールド絶縁膜 2 1 の縁部にかかる、その縁部が開口部形成時に図 7 (a) に示すようにエッチングされて n ウェル 1 1、p ウェル 1 2 が露出するおそれがある。また、L D D 構造のソース / ドレイン層の低濃度領域が局所配線に接することになる。

【 0 0 5 5 】これらにより、図 7 (a) に示すように、局所配線 4 6 とウェル 1 1、1 2 との間にリーク電流が流れる。そこで、リーク電流の低減のために次のような構造を採用してもよい。例えば図 7 (b)、(c) に示すように、ゲート用配線 2 8 を活性領域 2 3 内に突出させたり、図 7 (d)、(e) に示すように、ゲート用配線 2 8 の側部に形成された絶縁性サイドウォール 4 2 を活性領域 2 3 内に突出させるようにしてもよい。

【 0 0 5 6 】これによれば、ソース層 1 4 s、ドレイン層 1 4 d の低濃度層がゲート用配線 2 8 のサイドウォール 4 2 によって覆われることになるので、その低濃度層が局所配線 4 6 と接したり、ウェル 1 1、1 2 が露出することがなくなる。これにより局所配線 4 6 からリーク電流が流れなくなる。さらに、図 8 (a)、(b) に示すように、層間絶縁膜 3 7 に開口部 4 6 を形成する際に膜厚やエッチング条件を調整し、層間絶縁膜 3 7 の一部をサイ

ドウォール 4 2 の上に残すようにすれば、ソース／ドレイン層 1 4 s, d の低濃度領域が確実に保護され、これにより、局所配線 3 1 と低濃度層との接続が阻止される。

【 0 0 5 7 】 このようにサイドウォール 4 2 の幅を増すためには、例えば次の条件で開口部 4 6 を形成すればよい。ソース／ドレイン層 1 4 s, d を形成した後に、500 ~ 1000 Å の SiO₂ よりなる層間絶縁膜 3 7 を形成し、ついで R I E を用いたフォトリソグラフィ法により開口部 4 6 を形成するが、この場合、開口部 4 6 を形成した後のオーバーエッチングを 200 Å 程度にすると、サイドウォール 4 2 は面方向に 0.03 ~ 0.06 μm 程度拡張する。

【 0 0 5 8 】 なお、ソース／ドレイン層 1 4 s, d の表面には、図 8 (b) のように高融点金属シリサイド層 4 3 があってもよいし図 8 (c) のようになくてもよい。

(d) 本発明の第 4 実施例の説明

上記した実施例では半導体記憶装置の S R A M セルについて局所配線を形成することについて説明したが、S R A M セル以外の領域にも局所配線を適用してもよい。そこで次に、C M O S インバータにおける局所配線について説明する。

【 0 0 5 9 】 図 9 (a) は、本発明の第 4 実施例を示す平面図、図 9 (b) は、その Z - Z 線断面図、図 9 (c) は C M O S インバータの等価回路図である。図 9 において、n ウェル 1 1 と p ウェル 1 2 には、それぞれフィールド絶縁膜 2 1 で囲まれた活性領域 6 1, 6 2 が設定され、それらの活性領域 6 1, 6 2 の中央にはゲート絶縁膜 6 4 を介してゲート電極 6 3 g, 6 4 g が形成され、それらは一体化されている。

【 0 0 6 0 】 ゲート電極 6 3 g, 6 4 g は、例えばタングステンシリサイドと n 型多結晶シリコンからなるポリサイド膜によって構成されている。また、n ウェル 1 1 の活性領域 6 1 のゲート電極 6 3 g の両側には p 型のソース層 6 3 s 及びドレイン層 6 3 d が導入され、これにより p 型 MOS トランジスタ TR₁ が構成される。さらに、p ウェル 1 2 の活性領域 6 2 のゲート電極 6 4 g の両側には n 型のソース層 6 4 s 及びドレイン層 6 4 d が形成され、これにより n 型 MOS トランジスタ TR₂ が構成される。

【 0 0 6 1 】 これらの MOS トランジスタ TR₁, TR₂ は、図 9 (b) に例示するように全体が SiO₂ よりなる層間絶縁膜 3 7 により覆われている。また、p 型 MOS トランジスタ TR₁ と n MOS トランジスタ TR₂ のドレイン層 6 3 d, 6 4 d にはそれぞれ複数の開口部 6 6 が形成され、それらの開口部 6 6 とその周辺の層間絶縁膜 3 7 を含む領域に局所配線 7 1 が形成されている。

【 0 0 6 2 】 また、n 型と p 型の MOS トランジスタ TR₁, TR₂ の各ソース層 6 3 s, 6 4 s d には、それぞれ複数の開口部 6 5 が形成され、その開口部 6 5 からは n

エル 1 1 と p ウェル 1 2 の境界線 L と反対側のフィールド絶縁膜 2 1 上に延びる局所配線 7 2, 7 3 が形成されている。さらに、局所配線 7 1 ~ 7 3 を覆う層間絶縁膜 3 9 のうち、各局所配線 7 1 ~ 7 3 とゲート電極 6 3 g, 6 4 g の上にはそれぞれ開口部 6 7 ~ 7 0 が形成され、これらの開口部 6 7 ~ 7 0 を通して V_{ss} 配線 7 4, V_{dd} 配線 7 5, 出力配線 7 6 及び入力配線 7 7 が形成されている。

【 0 0 6 3 】 このような局所配線 7 1 ~ 7 3 によれば、ソース層 6 3 s, 6 4 s 及びドレイン層 6 3 d, 6 4 d において開口部 6 5, 6 6 が適当な間隔で複数形成されているので、ソース、ドレインの寄生抵抗を工程を増やすことなく下げることができる。しかも、S R A M セルと同時に形成するので工程が増えることはなく、配線密度を向上でき、平均配線長を減少させて高速化が図れる。

【 0 0 6 4 】 ところで、p 型 MOS トランジスタ TR₁ のゲート電極 6 3 g を構成する多結晶シリコンを p' 型とし、n 型 MOS トランジスタ TR₂ のゲート電極 6 4 g を構成する多結晶シリコンを n' 型とする場合には、図 10 に示すように、それらのゲート電極 6 3 g, 6 4 g を分離して、それを覆う層間絶縁膜 3 7 に開口部 7 8 を設け、その中と周囲に局所配線 7 9 を形成し、2 つのゲート電極 6 3 g, 6 4 g を接続する。

【 0 0 6 5 】 また、高集積化のために、例えば図 10 及び図 11 (a) に示すように n 型 MOS トランジスタ TR₂ のソース層 6 4 s と V_{ss} 配線 7 4 を接続するために層間絶縁膜 3 9 に設けた開口 6 7 を局所配線 7 3 の上に位置させてもよい。なお、局所配線 7 3 を形成するために層間絶縁膜 3 7 に形成された開口部 6 5 がフィールド絶縁膜 2 1 の縁部にかかり、その縁部がエッチングされて p ウェル 1 2 が露出するようなことがあれば、リーク電流が流れる。そこで、開口部 6 5 を形成した後に、その開口部 6 5 を通して不純物を導入、活性化する必要があるが、このようにすることにより、ソース層 6 4 s の幅が縮小され、拡散層容量が低減する。この結果、半導体素子の動作の遅延時間が短縮され、動作速度が速くなる。

【 0 0 6 6 】

【発明の効果】 以上述べたように本発明によれば、本発明によれば、半導体素子を構成する拡散層と配線層を接続する場合や、拡散層同士を接続する場合に接続用導体パターンを形成している。その接続用導体パターンは、半導体素子を覆う層間絶縁膜のうち接続したい拡散層から配線に至る領域に形成した 1 つの開口部の内部に設けられている。

【 0 0 6 7 】 このため、接続用導体パターンを形成しない側の拡散層の表面にある薄い高融点金属シリサイドが、接続用導体パターンを形成する際のエッチングによって除去されることはなくなる。即ち、接続用導体パターンの材料とその下地の材料が限定されなくなる。そし

て、その開口部付近に接続用導体パターンを限定することで、集積度の低下が最小限で済む。即ち、他の配線層を利用すると、他の機能の配線と接続用導体パターンが衝突して集積度が低下するのを防げる。

【0068】その接続用導体パターンは、集積度を阻害しなければ、他の導電層の接続など別の目的に工程増なく使用して効果をあげることができる。即ち、その接続用導電パターンを構成する導電膜を別のローカルな配線に使用することにより、工程を増やすことなく、配線密度を向上させ、平均配線長を減少させ、高速化が進むことになる。しかも、拡散層の上に接触面積が広い開口部内を通る接続用導電パターンを延在させると、その拡散層の寄生抵抗が下がる。

【0069】本発明の接続用導体パターンを適用する場合は、 p' 、 n' の両タイプの半導体にオーミックコンタクトを必要とする層、 $TiSi$ よりも上の層であるため高温処理が不可能となる層、或いは配線抵抗が問題となる層のいずれかであるから、接続用導体パターンの材料としては金属を使用することが望ましいので、層間絶縁膜及び接続用導体パターンともに他の配線層に比べて薄いことが望ましい。

【0070】薄層化が容易で、微細加工の精度が出しやすいことから、材料としてタングテンが優れている。また、タングステンを使用する場合、フッ素を主なエッチャントとするのが有利なために、 SiO_2 を主成分とする絶縁膜を使用するのが選択比を高くするのに有利である。それでも、選択比として2程度が典型的になるので、タングステンのエッチング加工においては等方成分が必要になる。これは、ゲート電極の段差が存在するために、異方性のエッチングでは、その側壁に金属が残りやすく、段差高さ程度の過剰エッチングが必要になり、絶縁膜の膜厚を厚くする必要があるからである。

【0071】本発明の別な発明によれば、その開口部を形成する際に、配線の側部にサイドウォールを形成してこれを拡散層の縁部に重なるようにするか、その配線を開口部内で拡散層側に突出させているので、拡散層がLDD構造の場合であっても、そのLDD構造の低濃度層がサイドウォール又は配線によって保護されるので、接続用導体パターンがその低濃度層に接することはなく、基板側にリーク電流が流れることはない。しかも、これによりフィールド酸化膜の縁部が覆われるので、開口部形成の際にフィールド酸化膜の縁部がエッチング除去されて、そこからリーク電流が流れることもなくなる。また、配線と拡散層が接近して形成されるので、セル面積の縮小化が進む。

【0072】さらに、層間絶縁膜に開口部を形成する際に、その層間絶縁膜の一部をサイドウォールの側部に残存させているので、薄い拡散層の表面に形成された薄い高融点金属シリサイド層が形成されていないフィールド酸化膜の薄い部分とそのサイドウォールにより確実に保

護されるので接合リークが減少する。それらの開口部を絶縁膜に形成する際には、その絶縁膜をサイドウォールの側部に残すようにすると、その開口部内でサイドウォールの幅が大きくなり、リークし易い部分はサイドウォールによって確実に保護される。

【図面の簡単な説明】

【図1】本発明の第1実施例の製造工程を示す平面図（その1）である。

【図2】本発明の第1実施例の製造工程を示す平面図（その2）である。

【図3】本発明の第1実施例の製造工程を示す平面図（その3）である。

【図4】本発明の第1実施例の製造工程を示す断面図である。

【図5】本発明の第1実施例の半導体装置の等価回路図である。

【図6】本発明の第2実施例の半導体装置の要部を示す平面図及び断面図である。

【図7】本発明の第3実施例の半導体装置の要部を示す平面図及び断面図（その1）である。

【図8】本発明の第3実施例の半導体装置の要部を示す平面図及び断面図（その2）である。

【図9】本発明の第4実施例の半導体装置を示す第一の平面図、第一の断面図及びその等価回路図である。

【図10】本発明の第4実施例の半導体装置の第二の平面図である。

【図11】本発明の第4実施例の半導体装置の第一、第二の断面図である。

【図12】従来装置の一例を示す断面図である。

【符号の説明】

11 n ウェル

12 p ウェル

13g~18g ゲート電極

13s~16s ソース層

13d~16d ドレイン層

17sd、18sd ソース／ドレイン層

21 フィールド絶縁膜

22~27 活性領域

28、29、28A、28B、29A、29B ゲート用配線

31~35、58、59 局所配線

37、39 層間絶縁膜

45~49、40、56、57 開口部

41 Vdd配線

42 サイドウォール

43 TiSi層

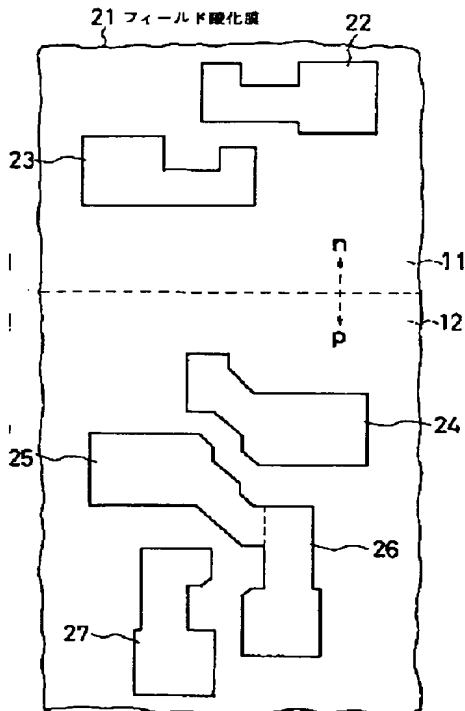
61、62 活性領域

63d、64d ドレイン層

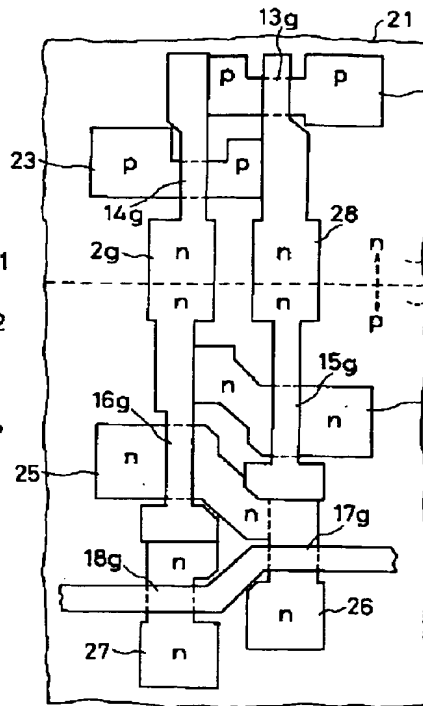
65、66 開口部

67~70、78 開口部

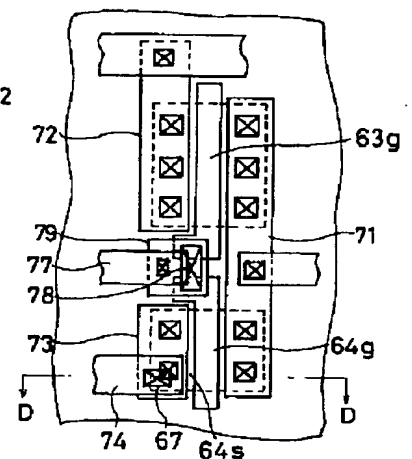
【図 1】



【図 2】

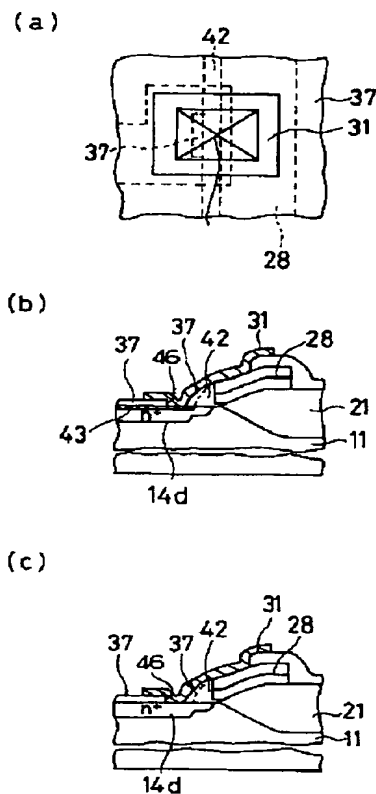


【図 10】

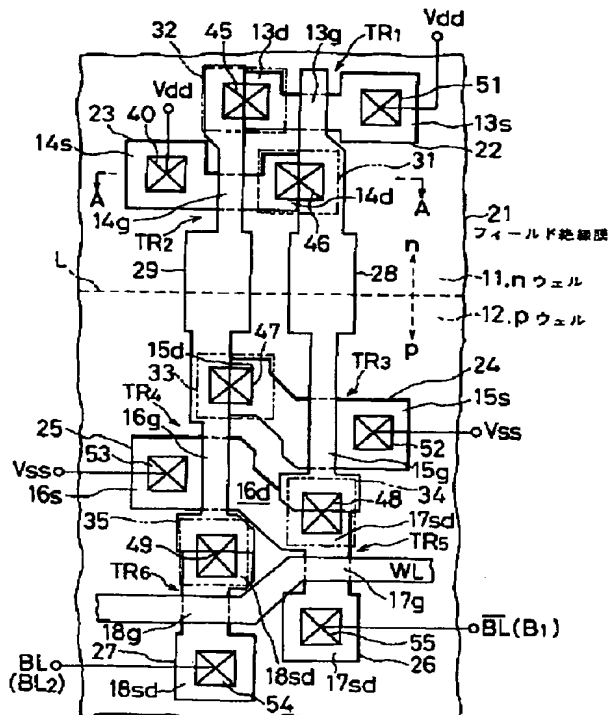


78 : 開口部
79 : 局所配線

【図 8】

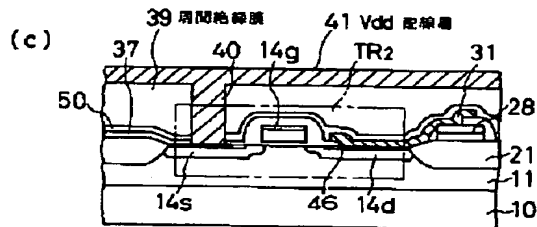
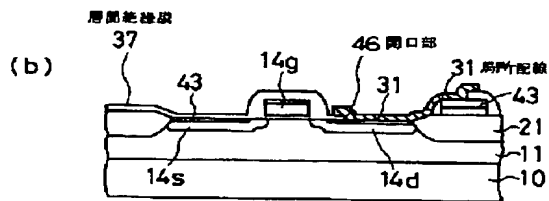
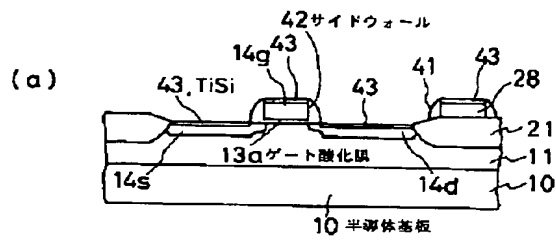


【図 3】



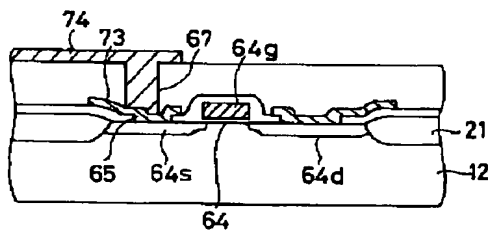
TR₁, TR₂ : 負荷トランジスタ TR₃, TR₄ : 駆動トランジスタ
TR₅, TR₆ : 転送トランジスタ 22~27 : 活性領域
31~35 : 局所配線 28, 29 : ゲート配線

【 図 4 】

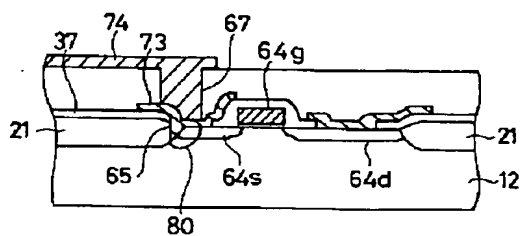


【 図 1 1 】

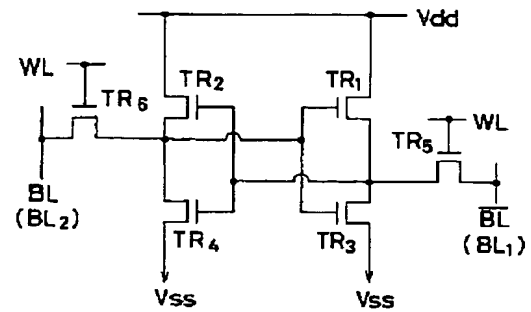
(a)



(b)

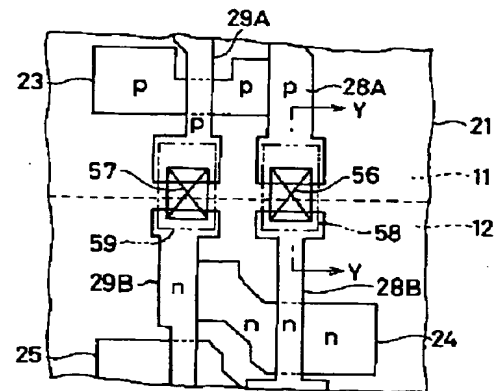


【 図 5 】



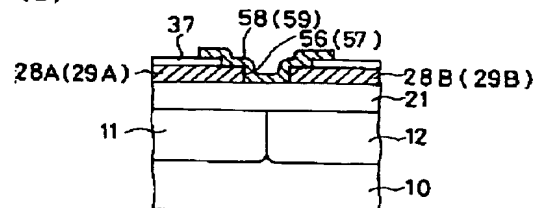
【 図 6 】

(a)

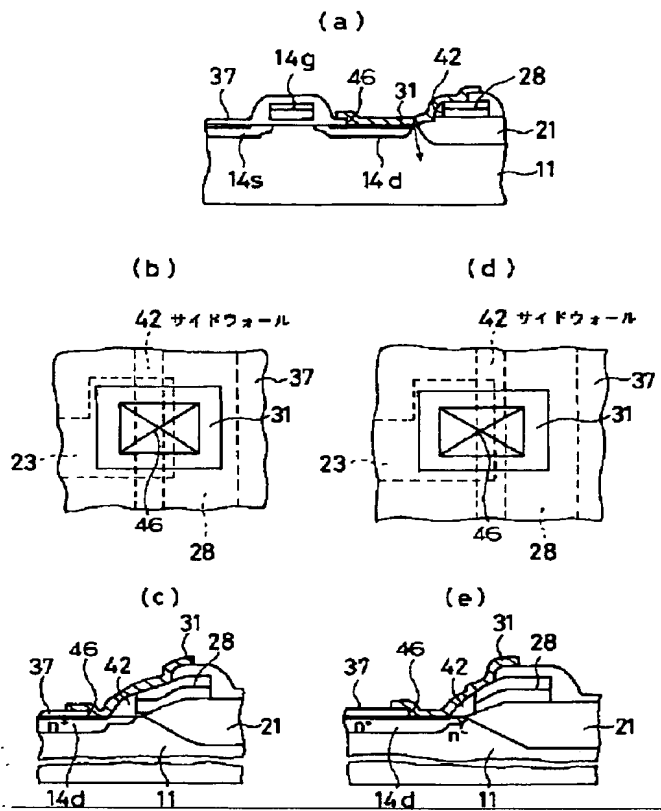


56, 57 : 開口部
58, 59 : 局所配線

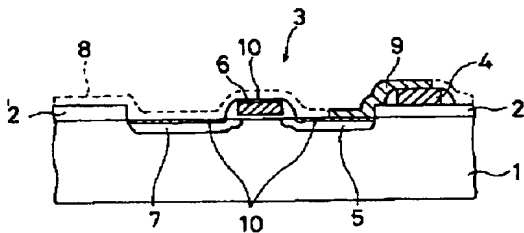
(b)



【図 7】

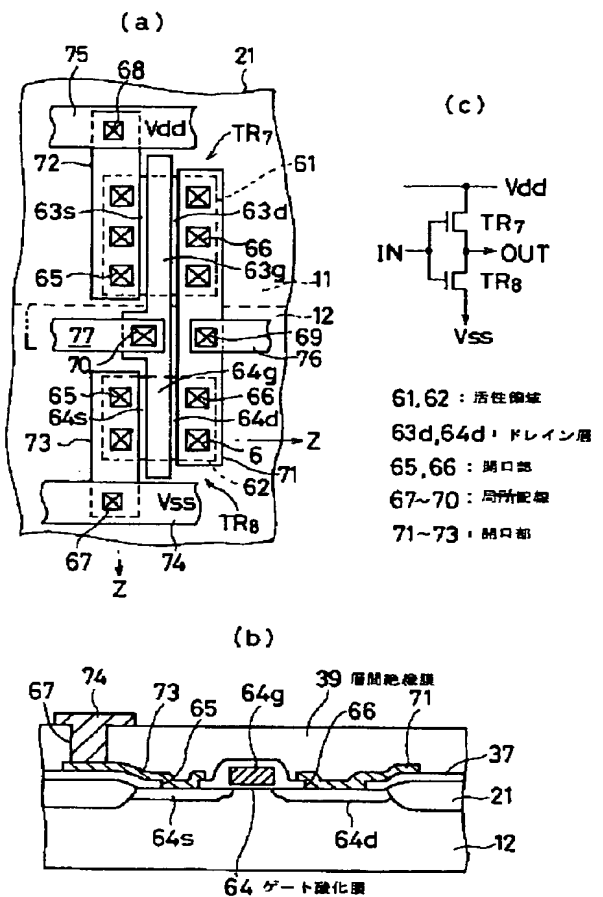


【図 12】



- 1 : 半導体基板
- 2 : フィールド絶縁膜
- 3 : トランジスタ
- 4 : 配線
- 5 : ドレイン層
- 6 : ゲート電極
- 7 : ソース層
- 8 : 窒化チタン膜
- 9 : 局所配線

【図 9】



THIS PAGE BLANK (USPTO)